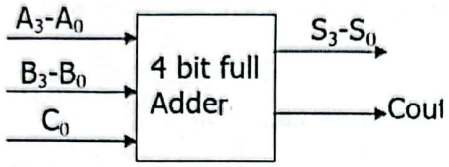
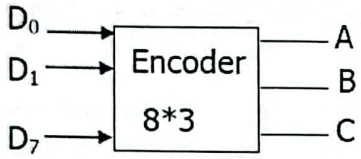
آزمایش شماره ۶

هدف: مدارهای ترکیبی (جمع کننده، انکودر، دیکودر)

الف: مدار جمع کننده کامل ۴ بیتی را به کمک گیتهای منطقی موجود طراحی و پیاده نمایید.



ب: شکل بلوکی یک مدار انکودر در مقابل نشان داده شده است. مدار انکودر چهار به دو را با کمک گیتهای منطقی موجود پیاده نمایید.



ج: با کمک دو دیکودر سه به هشت و دیگر گیت‌های منطقی، یک جمع کننده باینری دو عدد دو بیتی طراحی و پیاده کرده و نتیجه حاصل را بر روی سون سگمنت نمایش دهید (یک دیکودر چهار به دو بر روی ست موجود است و دیگری را باید خود طراحی نمایید).

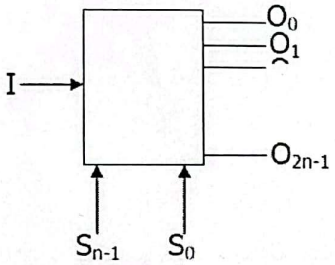
د: به کمک دو دیکودر دو به چهار (که دارای پایه فعال ساز نیز هستند) یک دیکودر سه به هشت طراحی و پیاده نمایید.

آزمایش شماره ۷

هدف: مدارهای ترکیبی (مقایسه کننده، مالتی پلکسر، دی مالتی پلکسر)

الف: شکل بلوکی یک مدار مقایسه کننده تک بیتی کامل در مقابل نشان داده شده است. مدار مقایسه کننده **دو** بیتی کامل را با کمک گیت‌های منطقی موجود پیاده نمایید.

ب: شکل بلوکی یک مدار دی مالتی پلکسر در مقابل نشان داده شده است. مدار دی مالتی پلکسر یک به هشت را با کمک گیتهای منطقی موجود پیاده سازی نمایید.



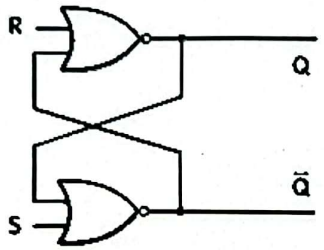
ج: تابع $f = \sum(1,2,4,7,10,15)$ را به کمک یک مالتی پلکسر با حداقل ابعاد پیاده نمایید.

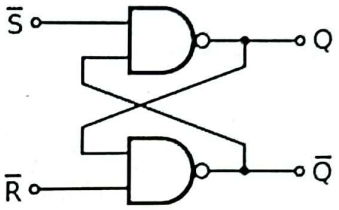
د: با استفاده از دو مالتی پلکسر چهار به یک (که یکی از آن‌ها بر روی ست موجود و دیگری باید طراحی شود)، یک مدار جمع کننده کامل طراحی نمایید و نتیجه حاصل را بر روی 7-segment نمایش دهید.

آزمایش شماره ۸

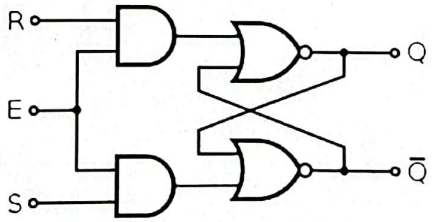
هدف: مدارهای ترتیبی (لچ ها و فلیپ فلاپ‌ها)

الف: مدارهای لچ زیر را بسته، جدول صحت آن‌ها را استخراج و با اعمال ورودی دلخواه دیاگرام زمانی آن‌ها را رسم نمایید. آیا تفاوتی دارند؟ مشکل آن‌ها چیست؟

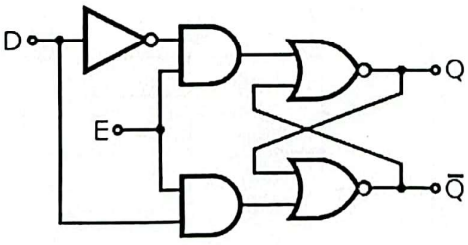




ب: مدارفلیپ فلاپ RS زیر را بسته، جدول صحت آن را استخراج و با اعمال ورودی و پالس ساعت دلخواه دیاگرام زمانی آن را رسم نمایید. (E همان ورودی پالس ساعت است). با این تغییر چه مشکلی از مدارهای قبلی حل می‌شود؟



ج: مدارفلیپ فلاپ D زیر را بسته، جدول صحت آن را استخراج و با اعمال ورودی و پالس ساعت دلخواه دیاگرام زمانی آن را رسم نمایید. (E همان ورودی پالس ساعت است). با این تغییر چه مشکلی از مدارهای قبلی حل می‌شود؟



د: تابع منطقی فلیپ فلاپ JK به صورت $Q_{t+1} = J\overline{Q_t} + \overline{K}Q_t$ است. با استفاده از یک فلیپ فلاپ SR آن را پیاده نمایید و با اعمال ورودی و پالس ساعت دلخواه دیاگرام زمانی آن را رسم نمایید.

ه: تابع منطقی فلیپ فلاپ T به صورت $Q_{t+1} = T\overline{Q_t} + \bar{T}Q_t$ است. با استفاده از یک لچ SR آن را پیاده نمایید و با اعمال ورودی و پالس ساعت دلخواه دیاگرام زمانی آن را رسم نمایید.

آزمایش شماره ۹

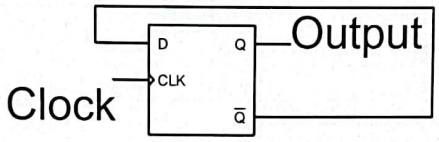
هدف: مدارهای ترتیبی (کاربرد فلیپ فلاپ‌ها)

الف: بر اساس مداری ترتیبی یک مدار کلید تبدیل طراحی و پیاده نمایید.

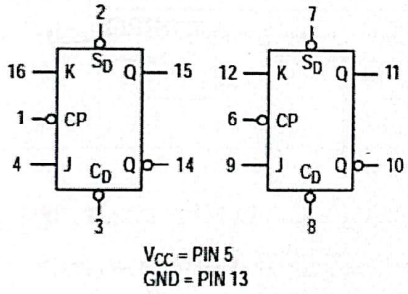
ب: با استفاده از یک فلیپ فلاپ D و گیت‌های منطقی دیگر یک فلیپ فلاپ نوع T طراحی نمایید.

ج: آی‌سی ۷۴۱۷۵ دارای ۴ فلیپ فلاپ نوع D به صورت زیر است.

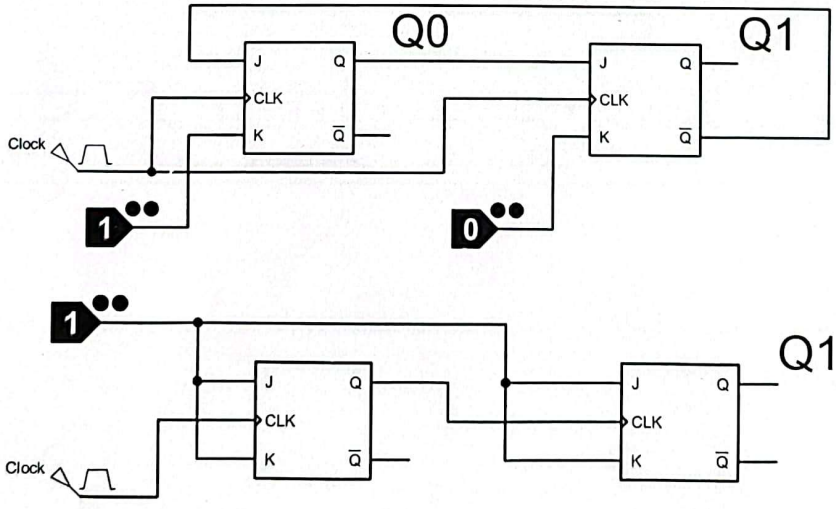
با استفاده از این آی‌سی مدار زیر را پیاده کرده و با اعمال موج مربعی به کلاک شکل موج خروجی را بدست آورده و بگویید چه رابطه‌ای با ورودی دارد.



د: آی‌سی ۷۴۷۶ دارای ۲ فلیپ فلاپ نوع JK به صورت زیر است.



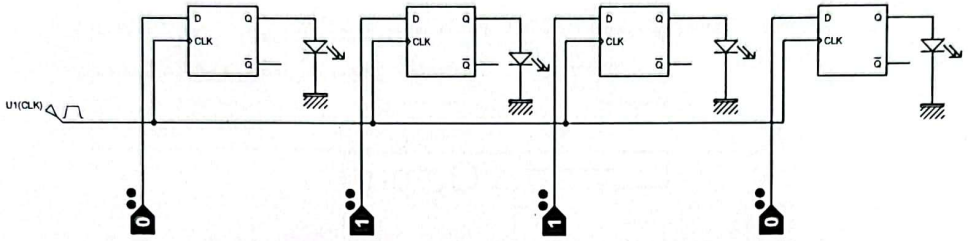
با استفاده از این آی‌سی مدارهای زیر را پیاده کرده و با اعمال موج مربعی به کلاک شکل موج‌های خروجی را بدست آورده و رسم کنید.



آزمایش شماره ۱۰

هدف: ساخت انواع شیفت رجیستر (ثبات انتقال)

الف: مدار شیفت رجیستر ۴ بیتی ورودی موازی- خروجی موازی (PIPO) به صورت زیر است. آن را پیاده کرده و با اعمال دیتای ۰۱۱۰ به ورودی آن انتقال اطلاعات به خروجی را مشاهده و ثبت نمایید (دیاگرام زمانی مدار را رسم کنید).



ب: به همین ترتیب مدار شیفت رجیستر ورودی سری- خروجی سری(SISO) و ورودی سری- خروجی موازی (SIPO) را طراحی نموده، با اعمال دنباله ۱۰۱۱۱۱۱۰به ورودی آن، خروجی را ثبت نمایید.

ج: با استفاده از D F.F و مدارهای جانبی مانند مالتی پلکسر یک شیفت رجیستر ۳ بیتی با ورودی موازی- خروجی سری (PISO) طراحی و پیاده نمایید.

د: با استفاده از مالتی پلکسر و D F.F یک شیفت رجیستر ۲ بیتی با ورودی موازی- خروجی موازی (PIPO) با قابلیت شیفت به دو طرف طراحی و پیاده‌سازی نمایید.